

(English Translation)

J10000 U.S. PRO
10/058431
01/28/02



KOREAN INDUSTRIAL PROPERTY OFFICE

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office

Application Number : Patent-2001-0074654

Date of Application : Nov. 28, 2001

Applicant : CORECESS INC.

CERTIFIED COPY OF December 20, 2001
PRIORITY DOCUMENT

COMMISSIONER

[Bibliographical information]

[Document for] Application
[Right] Patent
[Receiving Office] Korean Intellectual Property Office
[Filing Date] November 28, 2001
[Title of Invention] Apparatus and method for arbitrating data transmission amongst devices having SMII standard
[Applicant]
[Name] CORECESS INC.
[Code] 1-1998-100847-1
[Agent]
[Name] Jong Su KIM
[Code] 9-1998-000113-9
[Number of General Power] 2000-070885-9
[Inventor]
[Name] Mee Sun KIM
[Resident Registration No.] 710315-2898828
[Postal Code] 158-861
[Address] 1023-18, Shinjeong-1-dong, Yangcheon-gu, Seoul
[Nationality] KR
[Request for Examination] Yes

[Request] We herewith file a patent application according to Article 42 of Patent Law.
Jong Su KIM (Seal)
[Fees]
[Basic Fee] 20 Pages 29,000 Won
[Additional Fee] 7 Pages 7,000 Won
[Priority Claim Fee] None
[Examination Fee] 333,000 Won
[Sum] 369,000 Won

[Document Attached] 1. Abstract, Description & Drawings

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2001.11.28		
【발명의 명칭】	에스엠아이아이 규격에 따른 장치 간의 데이터전송 중재장치 및 그 방법		
【발명의 영문명칭】	Apparatus and Method for arbitrating data transmission of devices based on SMII standard		
【출원인】			
【명칭】	주식회사 코어세스		
【출원인코드】	1-1998-100847-1		
【대리인】			
【성명】	김 종 수		
【대리인코드】	9-1998-000113-9		
【포괄위임등록번호】	2000-070885-9		
【발명자】			
【성명의 국문표기】	김 미 선		
【성명의 영문표기】	KIM, Mee Sun		
【주민등록번호】	710315-2898828		
【우편번호】	158-861		
【주소】	서울특별시 양천구 신정1동 1023-18		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김 종 수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	7	면	7,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	7	황	333,000 원
【합계】	369,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 SMII 규격이 적용되는 MAC칩과 PHY칩 사이의 PCB 패턴거리 제한을 극복하고, 데이터 전송지연에 의한 전송오류를 방지할 수 있도록 된 SMII 규격에 따른 장치 간의 데이터전송 중재장치 및 그 방법에 대한 것으로서, 그 기술적 구성은 SMII 규격을 따르는 MAC칩/PHY칩으로 이루어진 제1 및 제2 장치 간의 데이터 전송을 중재하는 장치에 있어서, 상기 제1 장치로부터 입력되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연하여 출력하는 적어도 하나의 버퍼수단과, 상기 버퍼수단의 클럭지연 경로를 스위칭하여 n클럭 지연된 세그먼트 단위의 전송데이터를 상기 제2 장치로 출력하는 적어도 하나의 스위칭수단을 포함하여 구성된 것을 특징으로 한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

에스엠아이아이 규격에 따른 장치 간의 데이터전송 중재장치 및 그 방법

{Apparatus and Method for arbitrating data transmission of devices based on SMII standard}

【도면의 간단한 설명】

도 1은 종래 SMII 규격이 적용되는 MAC칩과 PHY칩 간의 패턴길이 제한을 설명하기 위한 개념도.

도 2는 데이터 전송에 따른 입력셋업시간과 입력유지시간을 나타낸 도면.

도 3은 본 발명의 일실시예에 따른 SMII 규격에 따른 장치 간의 데이터전송 중재장치의 개념을 설명하기 위한 블록구성도.

도 4는 도 3에 도시된 데이터전송 중재장치(30)의 내부 구성을 나타낸 블록 구성도.

도 5는 도 3의 데이터전송 중재장치(30)에 공급되는 시스템클럭, 동기신호 및 송/수신데이터의 타이밍을 나타낸 타이밍도.

도 6 및 도 7은 본 발명의 동작 및 단계를 설명하기 위한 플로우챠트.

도 8은 동기신호에 따른 실제 데이터 전송이 지연되는 예를 나타낸 타이밍도.

*** 도면의 주요 부분에 대한 부호의 설명 ***

10 : MAC칩 ,

20 : PHY칩 ,

30 : 데이터전송 중재장치 , 31~33 : 제1 내지 제3 버퍼 ,
34 : 클럭위상선택부 , 35~37 : 제1 내지 제3
클럭스위치 .

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 이더넷 스위칭 장비에 사용되는 MAC칩과 PHY칩 간의 데이터 전송 동작을 제어하는 중재(arbitration)장치에 대한 것으로서, 특히 SMII(Serial Media Independendednt Interface) 규격이 적용되는 MAC칩과 PHY칩 사이의 PCB 패턴 거리 제한을 극복하고, 데이터 전송지연에 의한 전송오류를 방지할 수 있도록 된 SMII 규격에 따른 장치 간의 데이터전송 중재장치 및 그 방법에 대한 것이다.

<13> 일반적으로 이더넷 스위칭 장비 예컨대 이더넷 스위치에는 이더넷망을 통한 데이터 송수신시 MAC(Media Access Control) 프로토콜에 따른 스위칭 동작을 수행하는 MAC칩과, 이더넷과 같은 물리계층으로의 접속기능을 수행하는 PHY(Physical layer protocol)칩을 구비한다.

<14> 그리고 MAC칩과 PHY칩 간의 인터페이스는 IEEE 802.3U에 규정되어 있으며, 그 인터페이스로는 예컨대 MII, RMII, SMII 등을 사용하도록 규정되어 있다. 한편 MAC칩과 PHY칩 간의 데이터 송수신을 SMII 규격에 따라 수행하는 경우 PCB 패턴길이에 제한이 있으며, 이는 SMII 규격에 따른 PCB 패턴설계를 어렵게 하는 주

된 요인이 됨은 물론 허용 패턴길이를 초과하여 설계한 경우 데이터 전송오류를 발생시키는 원인이 된다.

<15> 이하에서는 SMII 규격 적용시 MAC칩과 PHY칩 간의 PCB 패턴길이에 제한이 생기는 원인을 설명하기로 한다.

<16> 먼저 다음 표1은 SMII 규격에 따른 동기신호(SYNC) 및 송/수신데이터 (Tx/Rx)의 입출력 경로를 나타낸 것이다.

<17> 【표 1】

신호구분	출력	입력
Rx	PHY	MAC
Tx	MAC	PHY
동기신호(SYNC)	MAC	PHY
클럭	시스템 or MAC	MAC, PHY

<18> SMII 규격은 1포트당 2개의 데이터신호(Tx/Rx), 1개의 동기신호(SYNC) 및 예컨대, 125MHz의 시스템 클럭을 제공하도록 규정되어 있다. 표 1과 같이 데이터 송수신에 앞서 MAC칩에서 PHY칩으로 동기신호(SYNC)가 전송되면, 이더넷망으로부터의 수신데이터는 PHY칩으로부터 MAC칩으로 전송되고, 이더넷망으로의 송신데이터는 MAC칩에서 PHY칩으로 전송된다.

<19> 다음 표 2는 일반적으로 SMII 규격에 따라 1클럭분의 데이터 송수신시 요구 되는 시간을 나타낸 것으로서, 시스템 클럭은 125MHz(1클럭주기 : 8ns)을 기준으로 한 것이다.

<20>

【표 2】

	최소	최대
입력셋업시간(ns)	1.5	-
입력유지시간(ns)	1	-
출력지연시간(ns)	2	5

<21> 즉 도 2에 도시된 것처럼 일반적으로 정확한 데이터 전송을 위해서는 T1의 데이터 입력셋업시간과, T2의 데이터 입력유지시간이 요구되며, 이는 표 2와 같이 최소 입력셋업시간은 1.5ns, 최소 입력유지시간은 1ns, MAC칩과 PHY칩 간의 출력지연시간은 2 내지 5ns 정도가 요구된다.

<22> 그리고 표 2에 따라 데이터 수신시 MAC칩과 PHY칩 간의 데이터 전송지연시간을 산출하면 아래와 같다.

<23> 1. MAC칩의 동기신호가 PHY칩에서 수신될 때

<24> 동기신호의 입력셋업시간 + 입력유지시간 = $1.5\text{ns} + 1\text{ns} = 2.5\text{ns}$

<25> 2. PHY칩에서 동기신호를 기준으로 수신데이터를 MAC칩으로 전송할 때

<26> 수신데이터의 입력셋업시간 + 입력유지시간 = $1.5\text{ns} + 1\text{ns} = 2.5\text{ns}$

<27> 상기 1.과 2.에 어느 한 경로의 최소 출력지연시간(2ns)를 가산하더라도 MAC칩과 PHY칩 간의 최소 전송지연시간은 7ns이고, 데이터 송수신시 1클럭 주기는 8ns(125MHz 기준)이므로 MAC칩과 PHY칩 간의 전송지연시간 여유분은 1ns 미만임을 알 수 있다. 그리고 이는 데이터 송신과정에 있어서도 동일하게 적용된다.

<28> 따라서 MAC칩과 PHY칩 간의 전송지연시간 여유분(1ns)을 고려한 패턴길이는 아래와 같이 산출된다.(50 ohm 임피던스 기준) 본 출원인의 실험결과 MAC칩과

PHY칩 간의 패턴길이 1m당 전송지연시간은 7.45ns이며, 이를 근거로 1ns당 허용되는 패턴길이를 산출한 것이다.

<29> $7.45\text{ns} : 1\text{m} = 1\text{ns} : L$ (L : 1ns당 허용되는 패턴길이)

<30> $L = 0.134\text{m}$

<31> 상기 비례식에 따라 MAC칩과 PHY칩 간의 허용되는 패턴길이는 13.4cm 이하이며, MAC칩과 PHY칩 간의 패턴길이가 13.4cm 이상이 되면, 데이터 전송오류가 발생된다.

<32> 결국 도 1과 같이 종래 SMII 규격이 적용되는 MAC칩(10)과 PHY칩(20) 간의 패턴길이(L)는 13.4cm 이하를 만족해야 하는 문제점이 있으며, 다수의 접속포트를 지원하고자 하나의 MAC칩(10)에 다수의 PHY칩(20)을 접속하는 경우 각 PHY칩(20)과 MAC칩(10) 간의 패턴길이가 모두 13.4cm의 제한을 만족해야 하는 바, PCB 패턴설계에 어려움이 있게 된다.

【발명이 이루고자 하는 기술적 과제】

<33> 이에 본 발명은 상기한 사정을 감안하여 창출된 것으로서, SMII 규격이 적용되는 MAC칩과 PHY칩 사이의 PCB 패턴거리 제한을 극복하고, 데이터 전송지연에 의한 전송오류를 방지할 수 있도록 된 SMII 규격에 따른 장치 간의 데이터 전송 중재장치 및 그 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<34> 상기 목적을 달성하기 위한 본 발명에 따른 SMII 규격에 따른 장치 간의 데이터 전송 중재장치는 SMII 규격을 따르는 MAC칩/PHY칩으로 이루어진 제1 및 제2

장치 간의 데이터 전송을 중재하는 장치에 있어서, 상기 제1 장치로부터 입력되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연하여 출력하는 적어도 하나의 버퍼수단과, 상기 버퍼수단의 클럭지연 경로를 스위칭하여 n클럭 지연된 세그먼트 단위의 전송데이터를 상기 제2 장치로 출력하는 적어도 하나의 스위칭수단을 포함하여 구성된 것을 특징으로 한다.

<35> 또한 본 발명에서 상기 버퍼수단은 상기 PHY칩으로부터 입력되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연 출력하는 제1 버퍼와, 상기 MAC칩으로부터 입력되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연 출력하는 제2 버퍼 및, 상기 MAC칩으로부터 입력되는 동기신호를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연 출력하는 제3 버퍼를 포함하여 구성된 것을 특징으로 한다.

<36> 또한 본 발명에서 상기 스위칭수단은 상기 제1 버퍼로부터 출력되는 세그먼트 단위의 전송데이터가 n클럭 지연되도록 상기 제1 버퍼의 출력경로를 스위칭하여 상기 MAC칩으로 출력하는 제1 클럭스위치와, 상기 제2 버퍼로부터 출력되는 세그먼트 단위의 전송데이터가 n클럭 지연되도록 상기 제2 버퍼의 출력경로를 스위칭하여 상기 PHY칩으로 출력하는 제2 클럭스위치 및, 상기 제3 버퍼로부터 출력되는 동기신호가 n클럭 지연되도록 상기 제3 버퍼의 출력경로를 스위칭하여 상기 PHY칩으로 출력하는 제3 클럭스위치를 포함하여 구성된 것을 특징으로 한다.

<37> 또한 본 발명은 상기 버퍼수단의 클럭입력단에 접속되어 소정 스위칭 조작에 따라 외부 시스템클럭의 위상을 90도 단위로 변화하여 공급하는 클럭위상선택부를 추가로 포함하여 구성된 것을 특징으로 한다.

<38> 또한 상기 목적을 달성하기 위한 본 발명에 따른 SMII 규격에 따른 장치 간의 데이터전송 중재방법은 SMII 규격을 따르는 MAC칩/PHY칩으로 이루어진 제1 및 제2 장치 간의 데이터 전송을 중재하는 방법에 있어서, 상기 제1 장치로부터 인가되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하는 버퍼링단계와, 상기 세그먼트 단위로 버퍼링된 전송데이터의 출력이 n클럭 지연출력되도록 그 출력경로를 스위칭하는 스위칭단계 및, 상기 스위칭단계에 따라 n클럭 지연출력된 전송데이터를 상기 제2 장치로 전송하는 데이터전송단계를 포함하여 이루어진 것을 특징으로 한다.

<39> 따라서 상기한 구성 및 단계에 의하면, MAC칩과 PHY칩 간의 송/수신데이터를 소정 클럭의 세그먼트 단위로 구분전송함으로써 칩간 거리제한에 따른 데이터 전송오류가 발생되지 않는 바, SMII 규격이 적용되는 MAC칩과 PHY칩 사이의 PCB 패턴설계를 용이하게 할 수 있다.

<40> 이하 첨부된 도면을 참조하여 본 발명의 실시예를 설명하기로 한다.

<41> 도 3은 본 발명의 일실시예에 따른 SMII 규격에 따른 장치 간의 데이터전송 중재장치의 개념을 설명하기 위한 블록구성도이다.

<42> 도 3에서 본 발명에 따른 데이터전송 중재장치(30)는 MAC칩(10)과 PHY칩(20) 사이에 접속되어 MAC칩(10)과 PHY칩(20) 간의 송/수신데이터를 소정 클럭의

세그먼트(Segment) 단위로 버퍼링하는 방식으로 양 칩 사이의 데이터 전송동작을 중재하게 된다. 본 실시예에서 1 세그먼트의 전송데이터는 예컨대 10 클럭 분량의 전송데이터로 이루어지며, 이는 MAC칩(10)과 PHY칩(20) 간의 패턴길이, 패턴 폭 등 PCB기판의 특성에 따라 가감하는 것이 가능하다.

<43> 즉 MAC칩(10)과 PHY칩(20) 간의 송/수신데이터를 10 클럭 단위로 전송하면, 1 세그먼트의 데이터 전송에 걸리는 시간은 총 80ns이고, MAC칩(10)과 PHY칩(20) 간의 전송지연시간 여유분은 1 클럭당 1ns임을 감안하였을 때 동기신호(SYNC)를 포함한 1 세그먼트 데이터 전체의 전송지연은 전체 데이터 도달시간의 지연만 있을 뿐 각 클럭당 데이터의 전송오류는 발생시키지 않게 된다.

<44> 이 경우 MAC칩(10)과 PHY칩(20) 간의 데이터 전송시 한 칩으로부터의 전송 데이터는 도 3의 데이터전송 중재장치(30)에 10 클럭 단위(1 세그먼트)로 전송 및 버퍼링된 후, 다른 칩으로 전송된다.

<45> 따라서 각 클럭의 전송데이터는 상술한 1ns 전송지연시간 여유의 영향을 받지 않고, 도 3의 데이터전송 중재장치(30)에 버퍼링되어 해당 칩으로 전송되는 바, 1 클럭당 데이터 전송시 발생되는 전송오류를 방지할 수 있게 된다.

<46> 이하 도 4를 참조하여 본 발명의 실시예를 더욱 상세하게 설명하기로 한다.

<47> 도 4는 도 3에 도시된 데이터전송 중재장치(30)의 내부 구성을 나타낸 블록 구성도이다.

<48> 도 4에서 데이터전송 중재장치(30)는 제1 내지 제3 버퍼(31, 32, 33), 클럭 위상선택부(34) 및, 제1 내지 제3 클럭스위치(35, 36, 37)를 구비하여 구성되며,

이는 예컨대, CPLD(Complex Programmable Logic Device) 또는 FPGA(Field Programmable Gate Array)로직으로 구성된다.

<49> 도 4의 제1 버퍼(31)는 데이터 수신동작시 PHY칩(20)으로부터 입력되는 수신(Rx)데이터를 10 클럭 단위로 버퍼링한 후, 선택된 클럭지연 경로로 소정 클럭 지연출력하기 위한 것이다.

<50> 도 4의 제2 버퍼(32)는 데이터 송신동작시 MAC칩(10)으로부터 입력되는 송신(Tx)데이터를 10 클럭 단위로 버퍼링 한 후, 선택된 클럭지연 경로로 소정 클럭 지연출력하기 위한 것이다.

<51> 도 4의 제3 버퍼(33)는 데이터 송/수신동작시 MAC칩(10)으로부터 10 클럭마다 입력되는 동기신호(SYNC)를 선택된 클럭지연 경로로 소정 클럭 지연출력하기 위한 것이다.

<52> 도 4의 클럭위상선택부(34)는 MAC칩(10)과 PHY칩(20)이 탑재되는 스위칭 장비의 물리적인 구성상태(예컨대, 칩배치, 패턴배치)에 따른 시스템클럭의 입력셋업시간, 입력유지시간의 변동에 대해 시스템클럭의 위상을 조정하여 각 클럭당 전송데이터의 전송오류를 보상하기 위한 것이다. 상기 시스템클럭은 SMII 규격에 따라 장치내 소정 클럭발생수단(도시되지 않음)이나 MAC칩(10)을 통해 공급된다.

<53> 도 4의 클럭위상선택부(34)는 예컨대, 이용자의 딥스위치(도시되지 않음) 조작에 따라 시스템클럭의 위상을 0, 90, 180, 270 도로 변화시키도록 구성된다. 이용자는 딥스위치를 조작하여 시스템클럭의 변화되는 위상을 선택하며, 시스템

클럭의 0, 90, 180, 270 도의 위상변화는 각각 시스템클럭의 0, 2, 4, 6 ns 지연을 의미한다.

<54> 그리고 도 4의 클럭위상선택부(34)의 로직(Logc) 구성은 예컨대 다음 1, 2와 같은 VHDL 알고리즘을 통해 구현된다.

<55> 1. 일반적인 중재로직(Arbitration logic)의 CLK DLL을 사용하는 경우 VHDL

<56> component CLK DLL

<57> port(CLKIN, CLKFB, RST : in STD_LOGIC;

<58> CLK0, CLK90, CLK180, CLK270 : out STD_LOGIC);

<59> end component;

<60> CLKIN <= CLKi ; // 클럭위상선택부(34)의 입력을 CLKi라 했을 때

<61> IF SEL = '00' then

<62> CLKo <= CLK0 ; // 0도 위상 변화

<63> Else if SEL = '01' then

<64> CLKo <= CLK90 ; // 90도 위상 변화

<65> Else if SEL = '10' then

<66> CLKo <= CLK180; // 180도 위상 변화

<67> Else if SEL = '11' then

<68> CLKo <= CLK270; // 270도 위상 변화

<69> 2. 일반적인 중재로직의 CLK DLL을 사용하지 않는 경우 VHDL ; CLK1~CLK4는 예컨대 클럭위상선택부(34)를 구성하는 CPLD 로직의 참조파일 입력값이다.

```
<70>      CLK1 = OUT 0ns AFTER CLKi ; // 0도 위상 변화
<71>      CLK2 = OUT 2ns AFTER CLKi ; // 90도 위상 변화
<72>      CLK3 = OUT 4ns AFTER CLKi ; // 180도 위상 변화
<73>      CLK4 = OUT 6ns AFTER CLKi ; // 270도 위상 변화
<74>      CLKIN <= CLKi ; // 클럭위상선택부(34)의 입력을 CLKi라 했을 때
<75>      IF SEL = '00' then
<76>          CLKo <= CLK1 ;
<77>      Else if SEL = '01' then
<78>          CLKo <= CLK2 ;
<79>      Else if SEL = '10' then
<80>          CLKo <= CLK3 ;
<81>      Else if SEL = '11' then
<82>          CLKo <= CLK4 ;
<83>      한편 상기 VHDL 알고리즘은 로직을 구현하는 언어종류에 따라 적절히 변형
      시켜 구성하는 것이 가능하다.
<84>      그리고 도 4에서는 하나의 클럭위상선택부(34)가 제1 내지 제3 버퍼(31,
      32, 33) 모두에 접속되어 동일한 비율로 위상변화된 시스템클럭을 제공하도록 구
      성하였으나, 제1 내지 제3 버퍼(31, 32, 33)에 각각 별도의 클럭위상선택부를 접
      속하는 것도 가능하다.
```

<85> 이 경우 장치의 물리적 상태를 고려하여 제1 내지 제3 버퍼(31, 32, 33)에 서로 다른 위상의 시스템클럭을 제공하는 것도 바람직 할 것이다. 또한 도 4의 클럭위상선택부(34)는 도 1의 입력셋업시간(T1) 및 입력유지시간(T2)의 변동 정도에 따라 선택적으로 구비하는 것도 가능하다.

<86> 도 4의 제1 내지 제3 클럭스위치(35, 36, 37)는 각각 제1 내지 제3 버퍼(31, 32, 33)로부터 출력되는 각 세그먼트 데이터/동기신호를 0클럭 내지 n클럭 만큼 지연시키도록 제1 내지 제3 버퍼(31, 32, 33)의 각 출력단(A0~An, B0~Bn, C0~Cn)의 출력경로를 스위칭하게 된다.

<87> 즉 제1 내지 제1 내지 제3 버퍼(31, 32, 33)의 각 출력단(A0~An, B0~Bn, C0~Cn)을 통해서는 세그먼트 데이터가 각각 0클럭 내지 n클럭 지연되어 출력되며, 클럭지연경로의 스위칭은 제1 내지 제3 클럭스위치(35, 36, 37)을 통해 수행된다.

<88> 각 세그먼트 데이터를 0클럭 내지 n클럭 지연시키는 이유는 MAC칩(10)과 PHY칩(20)간의 패턴거리, 패턴폭에 따라 동기신호에 따른 실제 데이터 전송이 지연되기 때문에 이를 보상하기 위함이다. 그리고 제1 내지 제3 클럭스위치(35, 36, 37)의 클럭지연경로 스위칭은 이용자의 딥스위치 조작에 따라 0클럭 내지 n클럭 범위에서 결정된다.

<89> 도 8은 동기신호에 따른 실제 데이터 전송이 지연되는 예를 나타낸 타이밍 도로서로서, 이는 동기신호(SYNC)에 대해 수신(Rx)데이터가 3 클럭 지연전송(DL) 된 예를 나타낸 것이다. 이 경우 동기신호(SYNC)를 기준으로 각 세그먼트 데이터를 3클럭 지연되게 전송함으로써 데이터 전송지연을 보상하게 된다.

<90> 따라서 동기신호의 입력과 전송데이터의 입력 사이에 n클럭의 시간지연이 있는 경우 제1 내지 제3 클럭스위치(35, 36, 37)의 데이터 전송경로 선택을 통해 각 세그먼트 데이터를 n클럭 지연시킴으로써 동기신호에 대한 각 세그먼트 데이터의 전송지연을 보상하게 된다.

<91> 도 4의 제1 내지 제3 버퍼(31, 32, 33)의 각 출력단(A0~An, B0~Bn, C0~Cn)은 제1 내지 제3 클럭스위치(35, 36, 37)의 입력단에 각각 접속되고, 제1 내지 제3 클럭스위치(35, 36, 37)의 스위칭경로는 이용자의 딥스위치 조작에 따라 선택되어 제1 내지 제3 버퍼(31, 32, 33)의 출력경로를 선택하게 된다.

<92> 그리고 도 4에 도시된 것처럼 제1 클럭스위치(35)의 출력단은 MAC칩(10)에 접속되고, 제2 및 제3 클럭스위치(36, 37)의 출력단은 PHY칩(20)에 접속된다. 이는 표 1에서 나타낸 SMII 규격에 따른 것이다.

<93> 한편 상기한 구성에서 클럭위상선택부(34)와 제1 내지 제3 클럭스위치(35, 36, 37)의 동작선택은 DIP 스위치를 통해 이루어지도록 구성하였으나, 이를 별도의 프로세서를 통해 구현하는 것도 가능하다.

<94> 이 경우 프로세서는 스위칭 장비의 물리적인 구성상태에 따른 시스템클럭의 입력셋업시간, 입력유지시간의 변동에 대한 시스템클럭의 위상변화 정도를 테이블로 구비하여 클럭위상선택부(34)의 동작을 제어하고, MAC칩(10)과 PHY칩(20) 간의 패턴거리, 패턴폭 등에 기인하는 동기신호에 대한 송/수신데이터의 전송지연을 체크하여 제1 내지 제3 클럭스위치(35, 36, 37)의 스위칭 동작을 제어하도록 구성된다.

<95> 이하 도 5 내지 도 7을 참조하여 본 발명의 일실시예에 따른 SMII 규격이 적용되는 MAC칩과 PHY칩 간의 데이터전송 중재장치의 동작 및 그 중재방법을 설명하기로 한다.

<96> 도 5는 도 3의 데이터전송 중재장치(30)에 공급되는 시스템클럭, 동기신호 및 송/수신데이터의 타이밍을 나타낸 타이밍도이고, 도 6 및 도 7은 본 발명의 동작을 설명하기 위한 플로우챠트이다.

<97> 먼저 도 6을 참조하여 MAC칩(10)과 PHY칩(20) 간의 수신(Rx)데이터 전송과정을 설명하기로 한다.

<98> 외부 이데넷망으로부터의 수신(Rx)데이터가 이더넷 스위치 등으로 전송되면, MAC칩(10)은 도 5의 (A)에 도시된 동기신호(SYNC)를 PHY칩(20)으로 출력하여 데이터 수신을 준비한다. 그리고 MAC칩(10)으로부터 출력된 동기신호는 데이터전송 중재장치(30)의 제3 버퍼(33)로 전송 및 버퍼링된다.

<99> 이때 시스템클럭은 도 4의 클럭위상선택부(34)의 선택된 위상에 따라 위상 변화되어 제3 버퍼(33)로 공급되는 바, 제3 버퍼(33)로 입력되는 동기신호는 변화된 위상 만큼 시간지연되어 버퍼링된다.

<100> 그리고 제3 클럭스위치(37)는 딥스위치를 통해 미리 선택된 클럭지연 경로에 따라 제3 버퍼(33)의 출력경로를 스위칭연결하여 동기신호를 PHY칩(20)으로 전송하게 된다.(ST601 단계)

<101> 그리고 도 3의 데이터전송 중재장치(30)로부터 동기신호를 인가받은 PHY칩(20)은 입력된 동기신호를 근거로 데이터전송 중재장치(30)의 제1 버퍼(31)로 도

5의 (A)에 도시된 것처럼 10 클럭(①~⑩)의 세그먼트 단위로 수신데이터를 전송하게 된다.(ST602 단계)

<102> 이때 도 4의 제1 버퍼(31)는 클럭위상선택부(34)을 통해 변화된 시스템클럭 위상에 따라 입력 수신데이터를 위상변화 즉, 시간지연하여 10 클럭의 세그먼트 단위로 수신데이터를 버퍼링하게 된다.(ST603 단계)

<103> 이후 도 4에서 데이터전송 중재장치(30)의 제1 클럭스위치(35)가 딥스위치를 통해 미리 선택된 클럭지연 경로에 따라 제1 버퍼(31)의 데이터 출력경로를 스위칭연결하면, 제1 버퍼(31)의 출력단(A0~An)중 스위칭연결된 출력단을 통해 1 세그먼트 분량의 수신데이터가 선택된 클럭지연 경로를 통해 지연출력된다.(ST604 단계)

<104> 그리고 도 4의 제1 클럭스위치(35)는 제1 버퍼(31)로부터 전송되는 n클럭지연된 수신데이터를 도 3의 MAC칩(10)으로 전송하게 되는 바, 이더넷망으로부터의 수신데이터는 데이터 전송오류 없이 PHY칩(20)으로부터 MAC칩(10)으로 전송되게 된다.(ST605 단계)

<105> 이하 도 6을 참조하여 MAC칩(10)과 PHY칩(20) 간의 송신(Tx)데이터 전송과정을 설명하기로 한다.

<106> 외부 이 데넷망으로 전송하고자 하는 송신(Tx)데이터가 이더넷 스위치 등으로 전송되면, MAC칩(10)은 도 5의 (B)에 도시된 동기신호(SYNC)를 PHY칩(20)으로 출력하여 데이터 송신을 준비한다. 그리고 MAC칩(10)으로부터 출력된 동기신호는 데이터전송 중재장치(30)의 제3 버퍼(33)로 전송 및 버퍼링된다.

<107> 이때 시스템클럭은 도 4의 클럭위상선택부(34)의 선택된 위상에 따라 위상 변화되어 제3 버퍼(33)로 공급되는 바, 제3 버퍼(33)로 입력되는 동기신호는 변화된 위상 만큼 시간지연되어 버퍼링된다.

<108> 그리고 제3 클럭스위치(37)는 딥스위치를 통해 미리 선택된 클럭지연 경로에 따라 제3 버퍼(33)의 출력경로를 스위칭연결하여 동기신호를 PHY칩(20)으로 전송하게 된다.(ST701 단계)

<109> 그리고 도 3의 PHY칩(20)으로 동기신호를 전송한 MAC칩(10)은 데이터전송 중재장치(30)의 제2 버퍼(32)로 도 5의 (B)에 도시된 것처럼 10 클럭(①~⑩)의 세그먼트 단위로 송신데이터를 전송하게 된다.(ST702 단계)

<110> 이때 도 4의 제2 버퍼(32)는 클럭위상선택부(34)을 통해 변화된 시스템클럭 위상에 따라 입력 송신데이터를 위상변화 즉, 시간지연하여 10 클럭의 세그먼트 단위로 송신데이터를 버퍼링하게 된다.(ST703 단계)

<111> 이후 도 4에서 데이터전송 중재장치(30)의 제2 클럭스위치(36)가 딥스위치를 통해 미리 선택된 클럭지연 경로에 따라 제2 버퍼(32)의 데이터 출력경로를 스위칭연결하면, 제2 버퍼(32)의 출력단(B0~Bn)중 스위칭연결된 출력단을 통해 1 세그먼트 분량의 송신데이터가 선택된 클럭지연 경로를 통해 지연출력된다.(ST704 단계)

<112> 그리고 도 4의 제2 클럭스위치(36)는 제2 버퍼(32)로부터 전송되는 n클럭지연된 송신데이터를 도 3의 PHY칩(20)으로 전송하게 되는 바, 이더넷망으로 전송

되는 송신데이터는 데이터 전송오류 없이 MAC칩(10)으로부터 PHY칩(20)으로 전송
되게 된다.(ST705 단계)

<113> 따라서 상기한 실시예에 의하면, 이더넷 스위칭 장비에 사용되는 MAC칩과
PHY칩 간의 송/수신데이터를 예컨대, 10 클럭 단위의 1 세그먼트로 구분하여 전
송하게 되는 바, MAC칩과 PHY칩 간의 데이터 전송시 1 세그먼트 데이터 전체의
전송지연은 발생하더라도 각 클럭의 데이터 전송오류는 발생되지 않게 되고, 이
에 따라 SMII 규격이 적용되는 MAC칩과 PHY칩 사이의 PCB 패턴거리 제한을 극복
할 수 있게 된다.

<114> 또한 상기한 실시예에 의하면, MAC칩과 PHY칩이 구비되는 장치의 칩배치,
패턴배치 등에 따른 시스템클럭의 입력셋업시간, 입력유지시간의 변동에 대해 시
스템클럭의 위상을 조정하여 각 클럭당 전송데이터의 전송오류를 보상하게 된다.

<115> 또한 상기한 실시예에 의하면, 동기신호의 입력과 각 세스먼트 데이터의 입
력 사이에 n클럭의 시간지연이 있는 경우 제1 내지 제3 클럭스위치의 클럭지연경
로 선택을 통해 각 세그먼트 데이터를 n클럭 지연시킴으로써 동기신호에 대한 각
세그먼트 데이터의 전송지연을 보상하게 된다.

【발명의 효과】

<116> 이상 설명한 바와 같이 본 발명에 의하면, 이더넷 스위칭 장치에 있어서
SMII 규격이 적용되는 MAC칩과 PHY칩 간의 PCB 패턴거리 제한을 극복하여 데이터
전송시 발생되는 데이터 손실 등 전송오류를 방지할 수 있게 된다.

1020010074654

출력 일자: 2001/12/21

【특허청구범위】**【청구항 1】**

SMII 규격을 따르는 MAC칩/PHY칩으로 이루어진 제1 및 제2 장치 간의 데이터 전송을 중재하는 장치에 있어서,

상기 제1 장치로부터 입력되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연하여 출력하는 적어도 하나의 버퍼수단과,

상기 버퍼수단의 클럭지연 경로를 스위칭하여 n클럭 지연된 세그먼트 단위의 전송데이터를 상기 제2 장치로 출력하는 적어도 하나의 스위칭수단을 포함하여 구성된 것을 특징으로 하는 SMII 규격에 따른 장치 간의 데이터전송 중재장치.

【청구항 2】

제 1 항에 있어서,

상기 버퍼수단은 상기 PHY칩으로부터 입력되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연출력하는 제1 버퍼,

상기 MAC칩으로부터 입력되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연출력하는 제2 버퍼 및,

상기 MAC칩으로부터 입력되는 동기신호를 소정 클럭의 세그먼트 단위로 버퍼링하여 선택된 클럭지연 경로로 n클럭 지연출력하는 제3 버퍼를 포함하여 구성된 것을 특징으로 하는 SMII 규격에 따른 장치 간의 데이터전송 중재장치.

【청구항 3】

제 2 항에 있어서,

상기 스위칭수단은 상기 제1 버퍼로부터 출력되는 세그먼트 단위의 전송데이터가 n클럭 지연되도록 상기 제1 버퍼의 출력경로를 스위칭하여 상기 MAC칩으로 출력하는 제1 클럭스위치,

상기 제2 버퍼로부터 출력되는 세그먼트 단위의 전송데이터가 n클럭 지연되도록 상기 제2 버퍼의 출력경로를 스위칭하여 상기 PHY칩으로 출력하는 제2 클럭스위치 및,

상기 제3 버퍼로부터 출력되는 동기신호가 n클럭 지연되도록 상기 제3 버퍼의 출력경로를 스위칭하여 상기 PHY칩으로 출력하는 제3 클럭스위치를 포함하여 구성된 것을 특징으로 하는 SMII 규격에 따른 장치 간의 데이터전송 중재장치.

【청구항 4】

제 1 항에 있어서,

상기 버퍼수단의 클럭입력단에 접속되어 소정 스위칭 조작에 따라 외부 시스템클럭의 위상을 90도 단위로 변화하여 공급하는 클럭위상선택부를 추가로 포함하여 구성된 것을 특징으로 하는 SMII 규격에 따른 장치 간의 데이터전송 중재장치.

【청구항 5】

SMII 규격을 따르는 MAC칩/PHY칩으로 이루어진 제1 및 제2 장치 간의 데이터 전송을 중재하는 방법에 있어서,

상기 제1 장치로부터 인가되는 전송데이터를 소정 클럭의 세그먼트 단위로 버퍼링하는 버퍼링단계,

상기 세그먼트 단위로 버퍼링된 전송데이터의 출력이 n클럭 지연출력되도록 그 출력경로를 스위칭하는 스위칭단계 및,

상기 스위칭단계에 따라 n클럭 지연출력된 전송데이터를 상기 제2 장치로 전송하는 데이터전송단계를 포함하여 이루어진 것을 특징으로 하는 SMII 규격에 따른 장치 간의 데이터전송 중재방법.

【청구항 6】

제 5 항에 있어서,

상기 전송데이터는 송/수신데이터 및 동기신호를 포함하고,

상기 동기신호는 상기 세그먼트의 첫 번째 전송비트와 더불어 전송되며,

1 세그먼트는 소정 클럭분의 전송데이터로 이루어진 것을 특징으로 하는 SMII 규격에 따른 장치 간의 데이터전송 중재방법.

【청구항 7】

제 5 항에 있어서,

1 세그먼트는 10클럭분의 전송데이터로 이루어지며.

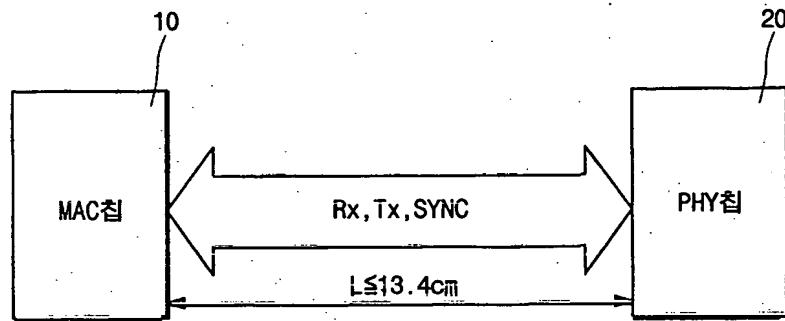
1020010074654

출력 일자: 2001/12/21

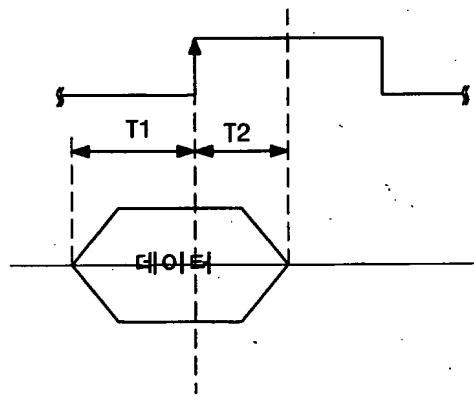
상기 n클럭은 0 내지 10클럭 범위에서 설정되는 것을 특징으로 하는 SMII
규격에 따른 장치 간의 데이터전송 중재방법.

【도면】

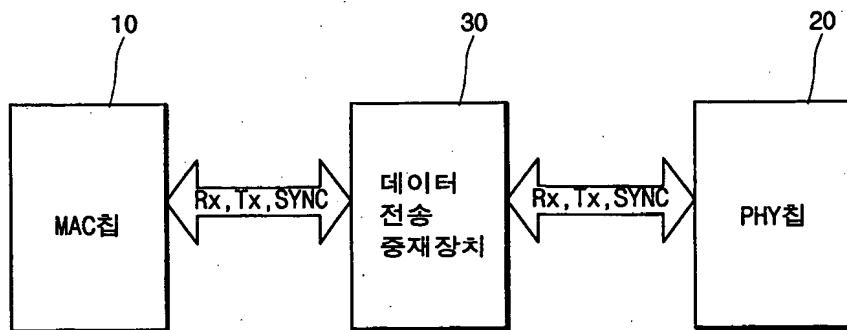
【도 1】



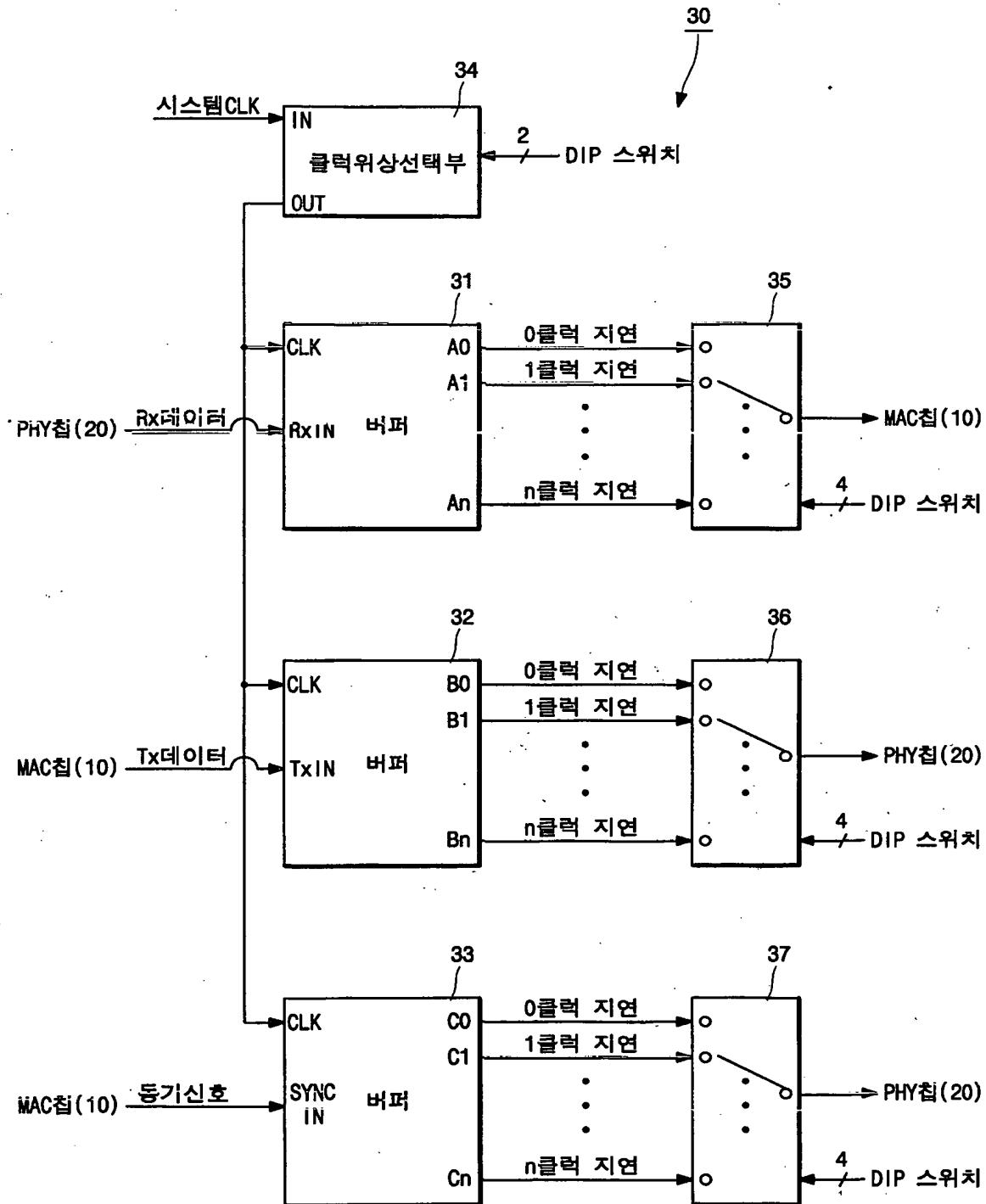
【도 2】



【도 3】

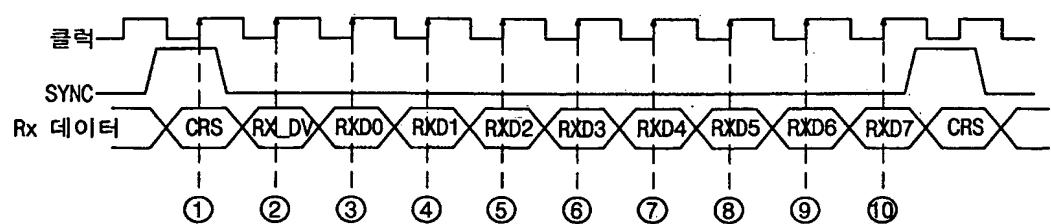


【도 4】

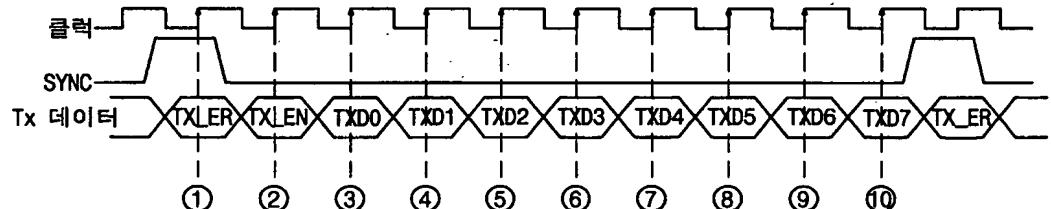


【도 5】

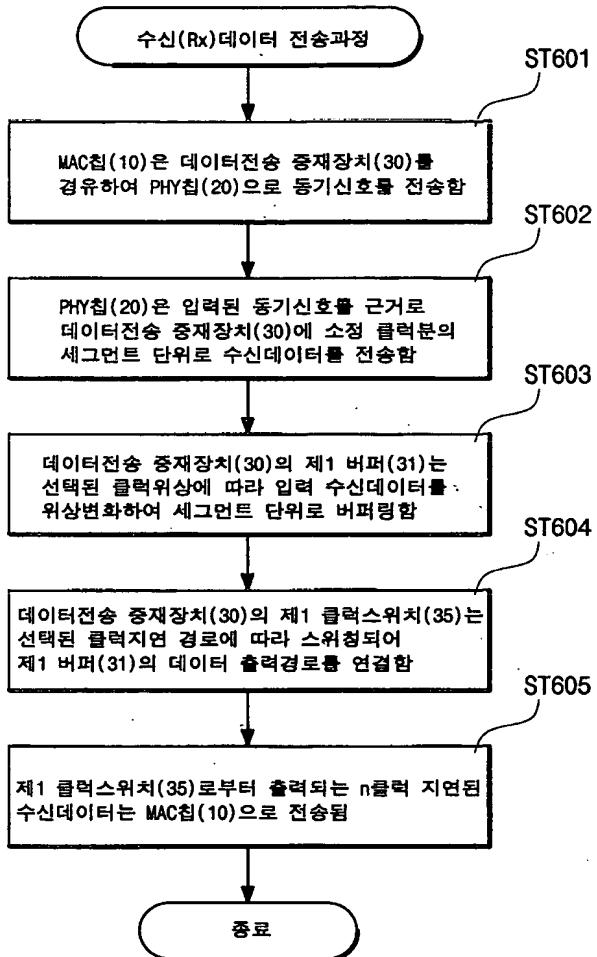
(A)



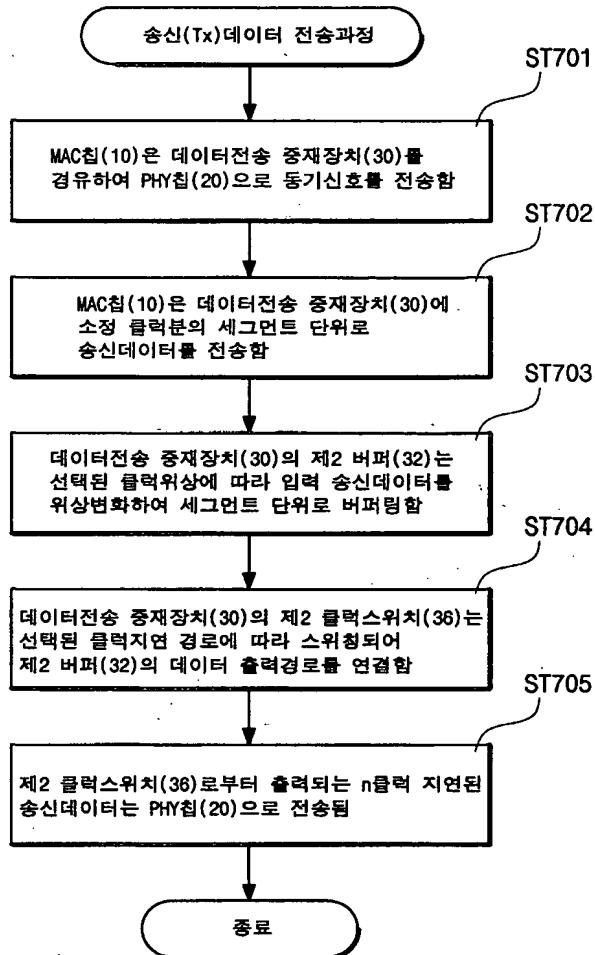
(B)



【도 6】



【도 7】



【도 8】

